

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-034876

(43)Date of publication of application : 07.02.1997

(51)Int.CI.

G06F 17/14

(21)Application number : 07-203817

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 18.07.1995

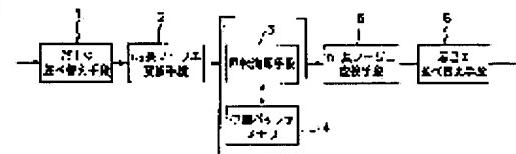
(72)Inventor : SATOU HISAAKI

## (54) FOURIER TRANSFORMATION DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the processing time for Fourier transformation and to decrease a capacity of an intermediate buffer memory used for the processing.

SOLUTION: The transformation device is provided with an  $n^2$  length Fourier transformation means 2 applying Fourier transformation with a period  $n^2$  in the longitudinal direction for  $n^1$  times to a time component signal with a period  $N$  ( $N=n^1 \times n^2$ ) arranged in two-dimensions with a period  $n^1$  in the lateral direction and with a period  $n^2$  in the longitudinal direction, a rotation arithmetic means 3 applying rotation processing to a transformation result by the  $n^2$  length Fourier transformation means 2 and an  $n^1$  length Fourier transformation means 5 applying Fourier transformation with a period  $n^2$  in the lateral direction for  $n^2$  number of times to the arithmetic result by the rotation arithmetic means 3, and the frequency of the signal of time component with the period  $N$  is analyzed by combinations of the  $n^1$  length Fourier transformation and the  $n^2$  length Fourier transformation smaller than the period  $N$  to reduce the arithmetic amount more than a conventional DFT(discrete Fourier transformation) making frequency transformation at once to the signal with the period  $N$  by means of the Fourier transformation with the period  $N$ .



## LEGAL STATUS

[Date of request for examination] 16.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-34876

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 17/14

識別記号

府内整理番号

F I  
G 0 6 F 15/332

技術表示箇所

A

審査請求 未請求 請求項の数11 FD (全 18 頁)

(21)出願番号	特願平7-203817	(71)出願人	000006655 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
(22)出願日	平成7年(1995)7月18日	(72)発明者	佐藤 弥章 東京都千代田区大手町2-6-3 新日本 製鐵株式会社内
		(74)代理人	弁理士 國分 孝悦

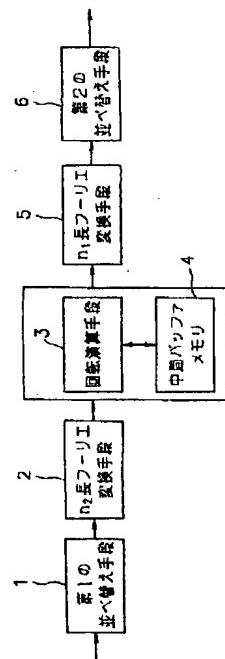
(54)【発明の名称】 フーリエ変換装置

(57)【要約】

【課題】 フーリエ変換の処理時間を短くできるようにするとともに、その処理の際に使用する中間バッファメモリの容量を小さくできるようにする。

【解決手段】 横方向に周期  $n_1$ 、縦方向に周期  $n_2$  の2次元状に配置された周期N ( $= n_1 \times n_2$ ) の時間成分の信号に対して、縦方向に対する周期  $n_2$  のフーリエ変換を  $n_1$  回行う  $n_1$  長フーリエ変換手段2と、上記  $n_2$  長フーリエ変換手段2による変換結果に対して回転演算を施す回転演算手段3と、上記回転演算手段3による演算結果に対して、横方向に対する周期  $n_1$  のフーリエ変換を  $n_2$  回行う  $n_1$  長フーリエ変換手段5とを設け、

周期Nの時間成分の信号の周波数解析を、上記周期Nよりも小さな周期  $n_1$ 、 $n_2$  のフーリエ変換の組み合わせによって行うようにすることにより、周期Nの信号を周期Nのフーリエ変換によって一度に周波数変換するようになされた従来のDFTよりも演算量を少なくすることができるようとする。



1

## 【特許請求の範囲】

【請求項1】 横方向に周期 $n_1$ 、縦方向に周期 $n_2$ の2次元状に配置された周期N( $=n_1 \times n_2$ )の時間成分の信号に対して、縦方向に対する周期 $n_1$ のフーリエ変換を $n_1$ 回行う $n_2$ 長フーリエ変換手段と、上記 $n_1$ 長フーリエ変換手段による変換結果を一時記憶するための中間バッファメモリと、上記中間バッファメモリに記憶されたデータに対して回転演算を施す回転演算手段と、上記回転演算手段による演算結果に対して、横方向に対する周期 $n_1$ のフーリエ変換を $n_1$ 回行う $n_2$ 長フーリエ変換手段とを具備することを特徴とするフーリエ変換装置。

【請求項2】 周期Nの時間成分の信号を周波数解析することにより周波数成分の信号に変換するためのN長フーリエ変換装置において、

上記周期Nの時間成分の信号を横方向に周期 $n_1$ 、縦方向に周期 $n_2$ ( $N = n_1 \times n_2$ )の2次元状に配置する並べ替え手段と、上記並べ替え手段により配置された2次元状の時間成分の信号に対して、縦方向に対する周期 $n_1$ のフーリエ変換を $n_1$ 回行う $n_2$ 長フーリエ変換手段と、上記 $n_1$ 長フーリエ変換手段による変換結果を一時記憶するための中間バッファメモリと、上記中間バッファメモリに記憶されたデータに対して回転演算を施す回転演算手段と、上記回転演算手段による演算結果に対して、横方向に対する周期 $n_1$ のフーリエ変換を $n_1$ 回行う $n_2$ 長フーリエ変換手段とを具備することを特徴とするフーリエ変換装置。

【請求項3】 上記 $n_1$ 長フーリエ変換手段による変換結果を1次元状のデータに再配列する第2の並べ替え手段を更に具備することを特徴とする請求項1または2に記載のフーリエ変換装置。

【請求項4】 上記 $n_1$ 長フーリエ変換手段を複数個設け、上記 $n_1$ 回の $n_1$ 長フーリエ変換処理を上記複数個の $n_1$ 長フーリエ変換手段を用いて並列に行うようにしたことを特徴とする請求項1～3の何れか1項に記載のフーリエ変換装置。

【請求項5】 上記 $n_1$ 長フーリエ変換手段を複数個設け、上記 $n_1$ 回の $n_1$ 長フーリエ変換処理を上記複数個の $n_1$ 長フーリエ変換手段を用いて並列に行うようにしたことを特徴とする請求項1～3の何れか1項に記載のフーリエ変換装置。

【請求項6】 請求項1に記載のフーリエ変換装置を2個と、上記2個のフーリエ変換装置の間に直列に設けられる回転演算装置とを組み合わせてN'長フーリエ変換装置を構成し、さらに、上記N'長フーリエ変換装置と請求項1に記載のフーリエ変換装置とそれらの間に直列に設けられる回転演算装置とを組み合わせてN'長フー

2

リエ変換装置を構成するというように、請求項1に記載のフーリエ変換装置を複数個用いてそれらを上記回転演算装置を介してツリー構造となるように接続したことを特徴とするフーリエ変換装置。

【請求項7】 請求項1に記載のフーリエ変換装置と、上記フーリエ変換装置の前段に設けられ、与える係数を変えることにより窓かけ演算および回転演算の何れかを行う窓かけ回転演算装置と、

上記フーリエ変換装置の出力結果を一時記憶するための中間バッファメモリとを具備し、

上記中間バッファメモリの記憶内容を上記窓かけ回転演算装置に供給して上記窓かけ回転演算装置および上記フーリエ変換装置による処理を時分割で繰り返して行うようにしたことを特徴とするフーリエ変換装置。

【請求項8】 上記中間バッファメモリを高速ページモードを持つメモリを用いて構成したフーリエ変換装置であって、

上記高速ページモードを持つメモリ上において所定ワード分の中間バッファメモリを縦横のブロック状に順次配置するようにしたことを特徴とする請求項1～7の何れか1項に記載のフーリエ変換装置。

【請求項9】 上記 $n_1$ 長フーリエ変換手段と上記 $n_1$ 長フーリエ変換手段とを並列に動作させるようにしたフーリエ変換装置において、

上記 $n_1$ 長フーリエ変換手段によりフーリエ変換されたデータを上記中間バッファメモリに記憶する際に、最初に $n_1$ 回のフーリエ変換が完了するまでは、上記 $n_1$ 長フーリエ変換手段で使用するために読み出されて空きにされた横方向の領域に上記データを書き込み、次に $n_1$

回のフーリエ変換が完了するまでは、同様にして空にされた縦方向の領域に上記データを書き込むというよう、データの書き込み方向を縦と横とで交互に変換するようになるとともに、

上記 $n_1$ 長フーリエ変換手段において上記中間バッファメモリに記憶されたデータを使用する際に、最初に $n_1$ 回のフーリエ変換が完了するまでは横方向に上記データを読み出し、次に $n_1$ 回のフーリエ変換が完了するまでは縦方向に上記データを読み出すというようデータの読み出し方向を縦と横とで交互に変換するようとするア

ドレッシング手段を設けたことを特徴とする請求項1～7の何れか1項に記載のフーリエ変換装置。

【請求項10】 上記 $n_1$ 長フーリエ変換手段と上記 $n_1$ 長フーリエ変換手段とをそれぞれ複数個ずつ設け、上記 $n_1$ 回の $n_1$ 長フーリエ変換処理を上記複数個の $n_1$ 長フーリエ変換手段を用いて並列に行うとともに、上記 $n_1$ 回の $n_1$ 長フーリエ変換処理を上記複数個の $n_1$ 長フーリエ変換手段を用いて並列に行うようにしたフーリエ変換装置において、

上記中間バッファメモリを上記複数個の $n_1$ 長フーリエ変換手段および上記複数個の $n_1$ 長フーリエ変換手段と

同じ数だけ設けるとともに、

上記複数個の  $n_1$  長フーリエ変換手段により同時に求められた複数個のデータを上記複数個の中間バッファメモリに 1 個ずつ振り分けて記憶するようにするデータ振り分け手段を設けたことを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のフーリエ変換装置。

【請求項 11】 上記データ振り分け手段は、同じ  $n_1$  長フーリエ変換手段により求められたデータが同じ中間バッファメモリ内に記憶されることがないように順次得られるデータを振り分けて記憶するようにすることを特徴とする請求項 10 に記載のフーリエ変換装置。

【発明の詳細な説明】

$$S_k = \sum_{i=0}^{N-1} S_i e^{-j \frac{2\pi k i}{N}}$$

【0004】この(式1)の演算を行うためには、乗算を  $4N^2$  回、加減算を  $2N^2 + 2N(N-1)$  回行う必要がある。すなわち、(式1)から分かるように、DFT は複素演算を行うものであるから、実際には次の(式※

$$\begin{pmatrix} S_k[\text{real}] \\ S_k[\text{image}] \end{pmatrix} = \sum_{i=0}^{N-1} \begin{pmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{pmatrix} \begin{pmatrix} S_i[\text{real}] \\ S_i[\text{image}] \end{pmatrix} \quad \text{--- (式2)}$$

【0006】(式2)において、周波数成分の信号値  $S_i[\text{real}]$  (実部)、 $S_i[\text{image}]$  (虚部) を求めるためには、時間成分の信号値  $S_i[\text{real}]$  と  $\cos \theta$ 、信号値  $S_i[\text{real}]$  と  $\sin \theta$ 、信号値  $S_i[\text{image}]$  と  $\cos \theta$ 、信号値  $S_i[\text{image}]$  と  $\sin \theta$  の乗算をそれぞれ  $i$  について  $N$  回、それを更に  $k$  について  $N$  回、2 重のループで計算するから、全部で  $4N^2$  回の乗算が必要になる。

【0007】さらに、上述の乗算により得られる信号値  $S_i[\text{real}] \cos \theta$  と信号値  $S_i[\text{image}] \sin \theta$  との減算、信号値  $S_i[\text{real}] \sin \theta$  と信号値  $S_i[\text{image}] \cos \theta$  との加算をそれぞれ  $i$  について  $N$  回、それを更に  $k$  について  $N$  回、2 重のループで計算するから、全部で  $2N^2 + N(N-1)$  回の加減算が必要になる。

【0008】

【発明が解決しようとする課題】以上のように、従来の DFT では、数多くの乗算および加減算を行なう必要があった。このため、処理に膨大な時間がかかるてしまうという問題があった。そこで、従来、上記 DFT の処理時間をできるだけ短くすることができるようにするために、FFT (高速フーリエ変換) と呼ばれる手法が開発され、デジタル信号処理の分野で多く用いられてきた。

【0009】このFFTは、バタフライ演算と呼ばれる基本演算を数段階に渡って繰り返して行うことにより、DFT の演算量を削減できるようにしたものである。つまり、FFTにおいて周期  $N$  のフーリエ変換を実施する場合には、上記周期  $N$  を所定の基数ごとに数段階に分けて、各基数のバタフライ演算をそれぞれ行なうことで周波

\* 【0001】

【発明の属する技術分野】本発明は、フーリエ変換装置に関するものである。

【0002】

【従来の技術】従来、時間成分の信号を周波数成分の信号に変換するための手法の 1 つに、DFT (離散的フーリエ変換) と呼ばれる手法がある。N 点の信号 (周期が N であることを示す) を周波数変換するための DFT の一般式は、時間成分の信号値を  $S_i$ 、周波数成分の信号値を  $S_k$  とすると、次の(式1)のように表せる。

【0003】

【数1】

--- (式1)

※2) で示される回転演算を引数  $k$ 、 $i$  の各値について行っている。

【0005】

【数2】

数解析を行っていた。

【0010】このFFTでは、数段階のバタフライ演算をパイプライン処理で並列に行なうことが可能である。その場合には、数段階に渡って演算した結果をそれぞれ一時記憶しておくための中間バッファメモリが必要になる。しかしながら、従来のFFTでは、各中間バッファメモリの全メモリ容量が非常に大きくなってしまうという問題があった。

【0011】すなわち、FFTを構成する各バタフライ演算の性質上、その基数は比較的小さいものしか選択することができないため、バタフライ演算の段数が多くなる。そのため、各バタフライ演算の結果を一時記憶しておくための中間バッファメモリの数が多くなるとともに、個々の中間バッファメモリの容量も大きくなってしまい、その結果、全メモリ容量が非常に大きくなってしまっていた。

【0012】本発明は、このような問題を解決するためには成されたものであり、デジタル信号処理においてフーリエ変換を行うための処理時間を短くすることができるようになるとともに、その処理の際に使用する中間バッファメモリの容量を小さくすることができるよう目的とする。

【0013】

【課題を解決するための手段】本発明のフーリエ変換装置は、横方向に周期  $n_1$ 、縦方向に周期  $n_2$  の 2 次元状態に配置された周期  $N (= n_1 \times n_2)$  の時間成分の信号に対して、縦方向に対する周期  $n_2$  のフーリエ変換を  $n_1$

1 回行う  $n_1$  長フーリエ変換手段と、上記  $n_1$  長フーリエ変換手段による変換結果を一時記憶するための中間バッファメモリと、上記中間バッファメモリに記憶されたデータに対して回転演算を施す回転演算手段と、上記回転演算手段による演算結果に対して、横方向に対する周期  $n_1$  のフーリエ変換を  $n_1$  回行う  $n_1$  長フーリエ変換手段とを具備する。

【0014】本発明の他の特徴とするところは、周期  $N$  の時間成分の信号を周波数解析することにより周波数成分の信号に変換するための  $N$  長フーリエ変換装置において、上記周期  $N$  の時間成分の信号を横方向に周期  $n_1$  、縦方向に周期  $n_2$  ( $N = n_1 \times n_2$ ) の2次元状に配置する並べ替え手段と、上記並べ替え手段により配置された2次元状の時間成分の信号に対して、縦方向に対する周期  $n_2$  のフーリエ変換を  $n_2$  回行う  $n_1$  長フーリエ変換手段と、上記  $n_1$  長フーリエ変換手段による変換結果を一時記憶するための中間バッファメモリと、上記中間バッファメモリに記憶されたデータに対して回転演算を施す回転演算手段と、上記回転演算手段による演算結果に対して、横方向に対する周期  $n_1$  のフーリエ変換を  $n_1$  回行う  $n_1$  長フーリエ変換手段とを具備する。

【0015】本発明の他の特徴とするところは、上記  $n_1$  長フーリエ変換手段による変換結果を1次元状のデータに再配列する第2の並べ替え手段を更に具備することを特徴とする。

【0016】本発明の他の特徴とするところは、上記  $n_1$  長フーリエ変換手段を複数個設け、上記  $n_1$  回の  $n_1$  長フーリエ変換処理を上記複数個の  $n_1$  長フーリエ変換手段を用いて並列に行うようにしたことを特徴とする。

【0017】本発明の他の特徴とするところは、上記  $n_1$  長フーリエ変換手段を複数個設け、上記  $n_1$  回の  $n_1$  長フーリエ変換処理を上記複数個の  $n_1$  長フーリエ変換手段を用いて並列に行うようにしたことを特徴とする。

【0018】本発明の他の特徴とするところは、請求項1に記載のフーリエ変換装置を2個と、上記2個のフーリエ変換装置の間に直列に設けられる回転演算装置とを組み合わせて  $N^2$  長フーリエ変換装置を構成し、さらに、上記  $N^2$  長フーリエ変換装置と請求項1に記載のフーリエ変換装置とそれらの間に直列に設けられる回転演算装置とを組み合わせて  $N^3$  長フーリエ変換装置を構成するというように、請求項1に記載のフーリエ変換装置を複数個用いてそれらを上記回転演算装置を介してツリー構造となるように接続したことを特徴とする。

【0019】本発明の他の特徴とするところは、請求項1に記載のフーリエ変換装置と、上記フーリエ変換装置の前段に設けられ、与える係数を変えることにより窓かけ演算および回転演算の何れかを行う窓かけ回転演算装置と、上記フーリエ変換装置の出力結果を一時記憶

するための中間バッファメモリとを具備し、上記中間バッファメモリの記憶内容を上記窓かけ回転演算装置に供給して上記窓かけ回転演算装置および上記フーリエ変換装置による処理を時分割で繰り返して行うようにしたことを特徴とする。

【0020】本発明の他の特徴とするところは、上記中間バッファメモリを高速ページモードを持つメモリを用いて構成したフーリエ変換装置であって、上記高速ページモードを持つメモリ上において所定ワード分の中間バッファメモリを縦横のブロック状に順次配置するようにしたことを特徴とする。

【0021】本発明の他の特徴とするところは、上記  $n_1$  長フーリエ変換手段と上記  $n_1$  長フーリエ変換手段とを並列に動作させるようにしたフーリエ変換装置において、上記  $n_1$  長フーリエ変換手段によりフーリエ変換されたデータを上記中間バッファメモリに記憶する際に、最初に  $n_1$  回のフーリエ変換が完了するまでは、上記  $n_1$  長フーリエ変換手段で使用するために読み出されて空きにされた横方向の領域に上記データを書き込み、次に  $n_1$  回のフーリエ変換が完了するまでは、同様にして空にされた縦方向の領域に上記データを書き込むというように、データの書き込み方向を縦と横とで交互に変換するようにするとともに、上記  $n_1$  長フーリエ変換手段において上記中間バッファメモリに記憶されたデータを使用する際に、最初に  $n_1$  回のフーリエ変換が完了するまでは横方向に上記データを読み出し、次に  $n_1$  回のフーリエ変換が完了するまでは縦方向に上記データを読み出すというようにデータの読み出し方向を縦と横とで交互に変換するようにするアドレッシング手段を設けたことを特徴とする。

【0022】本発明の他の特徴とするところは、上記  $n_1$  長フーリエ変換手段と上記  $n_1$  長フーリエ変換手段とをそれぞれ複数個ずつ設け、上記  $n_1$  回の  $n_1$  長フーリエ変換処理を上記複数個の  $n_1$  長フーリエ変換手段を用いて並列に行うとともに、上記  $n_1$  回の  $n_1$  長フーリエ変換処理を上記複数個の  $n_1$  長フーリエ変換手段を用いて並列に行うようにしたフーリエ変換装置において、上記中間バッファメモリを上記複数個の  $n_1$  長フーリエ変換手段および上記複数個の  $n_1$  長フーリエ変換手段と同じ数だけ設けるとともに、上記複数個の  $n_1$  長フーリエ変換手段により同時に求められた複数個のデータを上記複数個の中間バッファメモリに1個ずつ振り分けで記憶するようにするデータ振り分け手段を設けたことを特徴とする。

【0023】本発明の他の特徴とするところは、上記データ振り分け手段は、同じ  $n_1$  長フーリエ変換手段により求められたデータが同じ中間バッファメモリ内に記憶されることがないように順次得られるデータを振り分けで記憶するようにすることを特徴とする。

50 【0024】

【作用】本発明は上記技術手段より成るので、請求項1～3に記載の発明によれば、周期Nの時間成分の信号が周期Nのフーリエ変換によって一度に周波数変換されるのではなく、上記周期Nよりも小さな周期n<sub>1</sub>、n<sub>2</sub>のフーリエ変換の組み合わせによって周波数変換されることとなるので、フーリエ変換演算の性質上、上記小さな周期n<sub>1</sub>、n<sub>2</sub>のフーリエ変換でそれぞれ行われる演算量は、上記周期Nのフーリエ変換で行われる演算量に比べて格段に少ないものとなり、上記小さな周期n<sub>1</sub>、n<sub>2</sub>のフーリエ変換で行われる各演算量と回転演算で行われる演算量とを合計しても、上記周期Nのフーリエ変換によって一度に周波数変換を行うようになされた従来のDFTの演算量よりも演算量が少なくなる。

【0025】請求項4に記載の発明によれば、複数のn<sub>1</sub>長フーリエ変換処理を複数のn<sub>2</sub>長フーリエ変換手段を用いて同時に行うことができるようになり、また、請求項5に記載の発明によれば、複数のn<sub>1</sub>長フーリエ変換処理を複数のn<sub>2</sub>長フーリエ変換手段を用いて同時に行うことができるようになる。

【0026】請求項6に記載の発明によれば、請求項1～3に記載の発明と同様に、小さな周期のフーリエ変換の組み合わせによって、より大きな周期のフーリエ変換を実施することができるため、大きな周期のフーリエ変換を一度に行う場合の演算量に比べて演算量を格段に少なくすることが可能となる。しかも、上記小さな周期として任意の周期を選択することができるため、ツリー構造のルート付近では、ある程度大きな周期を選択することができるため、各フーリエ変換の結果を一時記憶しておくための中間バッファメモリの数が従来のFFTにおけるバタフライ演算を並列化動作させる場合に比べて少なくて済むとともに、個々の中間バッファメモリの容量もそれほど大きくしなくとも済む。

【0027】請求項7に記載の発明によれば、請求項1～3に記載の発明と同様に、小さな周期のフーリエ変換の組み合わせによって、より大きな周期のフーリエ変換を実施することができるため、大きな周期のフーリエ変換を一度に行う場合の演算量に比べて演算量を格段に少なくすることが可能となる。また、フーリエ変換されたデータが再び同じ装置に入力されて更に大きな周期のフーリエ変換が行われていくこととなるので、請求項6に記載の発明に比べて更に少ない数のフーリエ変換装置と回転演算装置とによって、より大きな周期のフーリエ変換を行うことが可能となる。

【0028】請求項8に記載の発明によれば、ブロック状に配置された中間バッファメモリの縦方向に対してデータの読み書きを行うときには高速ページモードを使って高速に読み書きをすることが可能となるので、縦方向に対しても横方向に対してもメモリアクセスを高速に行うことが可能となる。これにより、ストライプ状に配置した場合に、縦横の一方の方向に対するデータの読み書き

きは速いが、他方の方向に対するデータの読み書きが非常に遅くなり、その結果、縦方向と横方向とのそれぞれに対してフーリエ変換を行う際に必要なデータを読み書きするのにかかる時間が長くなってしまうという不都合を防止することが可能となる。

【0029】請求項9に記載の発明によれば、n<sub>1</sub>長フーリエ変換手段で使用するためにデータが読み出されることによって順次空きにされた領域に、n<sub>2</sub>長フーリエ変換手段でフーリエ変換されたデータが順次記憶されていくこととなり、データの読み出しによって空にされた領域を有効に使って、1つの中間バッファメモリをn<sub>1</sub>長フーリエ変換用とn<sub>2</sub>長フーリエ変換用とで共用することが可能となる。

【0030】請求項10に記載の発明によれば、複数のフーリエ変換手段により同時に求められた複数のデータが複数のバッファメモリに同時に記憶されるようになる。

【0031】請求項11に記載の発明によれば、複数のn<sub>1</sub>長フーリエ変換手段で同時に使用されるデータが複数のバッファメモリに1個ずつ分散して記憶されることとなるので、それらのデータの読み出しを同時に行うことが可能となる。

### 【0032】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。時間成分の信号を周波数成分の信号に周期Nで変換するための処理、すなわちN点DFTの処理を、従来は図2（0）に示すようにN長フーリエ変換で一度に行っていた。これに対し、本実施例のフーリエ変換装置では、図2（a）～（e）に示すように第1～第5のフェーズに分けて行っている。

【0033】すなわち、第1のフェーズでは、図2（a）に示すように、入力される1次元状のN個のデジタル信号を横n<sub>1</sub>個×縦n<sub>2</sub>個の2次元状の配置に並べ替える。第2のフェーズでは、図2（b）に示すように、上記並べ替えた2次元状のデータ配置において、縦方向に対するn<sub>1</sub>個のデータを用いてn<sub>2</sub>長DFT処理を横方向の数n<sub>1</sub>だけ行う。

【0034】次に、第3のフェーズでは、図2（c）に示すように、上記n<sub>1</sub>長DFT処理で得られた結果に対して回転演算を施す。第4のフェーズでは、図2（d）に示すように、上記回転演算の結果に対して、横方向に対するn<sub>1</sub>個のデータを用いてn<sub>2</sub>長DFT処理を縦方向の数n<sub>2</sub>だけ行う。最後に、第5のフェーズでは、図2（e）に示すように、上記n<sub>1</sub>長DFT処理で得られた結果を1次元状のデータ配置に並べ替える。

【0035】図1は、本実施例によるフーリエ変換装置の構成を示す図であって、図2に示した5つのフェーズの処理を行うための構成を示す図である。図1において、1は第1の並べ替え手段であり、上記第1のフェーズの処理を行う。この第1の並べ替え手段1は、例え

ば、メモリとアドレッシング装置により簡単に構成することが可能である。この並べ替え処理を式で表すと、次の(式3)のようになる。

$$S_i = S_{i_2 \cdot n_1 + i_1} \left( \begin{array}{l} i=0 \sim N-1 \\ i_1=0 \sim n_1-1 \\ i_2=0 \sim n_2-1 \end{array} \right) \quad \text{--- (式3)}$$

【0037】2は $n_1$ 長フーリエ変換手段であり、次の(式4)に従って上記第2のフェーズの処理を行う。すなわち、上記第1の並べ替え手段1で並べ替えられた2次元状のデータ配置において、縦方向に対する $n_1$ 長の※

$$t_{i_4 \cdot n_1 + i_1} = \sum_{i=0}^{n_2-1} S_{i_2 \cdot n_1 + i_1} e^{-j \frac{2\pi i_4 i_1}{n_2}} \quad \text{--- (式4)}$$

【0039】3は回転演算手段であり、次に示す(式5)に従って上記第3のフェーズの処理を行う。すなわち、上記 $n_1$ 長フーリエ変換手段2による演算処理の結果★

$$t'_{i_4 \cdot n_1 + i_1} = t_{i_4 \cdot n_1 + i_1} e^{-j \frac{2\pi i_4 i_1}{n_1 n_2}} \quad \text{--- (式5)}$$

$$\left( \begin{array}{l} i_1=0 \sim n_1-1 \\ i_4=0 \sim n_2-1 \end{array} \right)$$

【0041】4は中間バッファメモリであり、上記 $n_1$ 長フーリエ変換手段2によりフーリエ変換されたデータを一時記憶する。上述の回転演算手段3は、この中間バッファメモリ4に記憶されたデータに対して回転演算を行い、その演算結果を $n_1$ 長フーリエ変換手段5に供給するようになされている。

【0042】上記 $n_1$ 長フーリエ変換手段5は、上記回☆

$$S_{i_4 \cdot n_1 + i_3} = \sum_{i_1=0}^{n_1-1} t'_{i_4 \cdot n_1 + i_1} e^{-j \frac{2\pi i_3 i_1}{n_1}} \quad \text{----- (式6)}$$

$$\left( \begin{array}{l} i_3=0 \sim n_1-1 \\ i_4=0 \sim n_2-1 \end{array} \right)$$

【0044】6は第2の並べ替え手段であり、上記第5のフェーズの処理を行う。すなわち、上記 $n_1$ 長フーリエ変換手段5により求められたデータを次の(式7)に従って再び1次元状に並べ替えることにより、周波数成分の信号 $S_k$ を得る。なお、この第2の並べ替え手段6◆

$$S_k = S_{i_4 + i_3 \cdot n_2} \quad \text{----- (式7)}$$

【0046】上記(式3)～(式7)に示した5つのフェーズに分けて行っている本実施例のDFT処理は、従来の(式1)で行っているDFT処理と等価であり、同じ演算結果(同じ周波数成分の信号 $S_k$ )を得ることができる。一方、その演算結果を得るまでの演算量は、従来に比べて本実施例の方が少なくなっている。このこと

★果得られたデータに対して回転演算を施す。  
【0040】  
【数5】

☆転演算手段3による回転演算の結果得られるデータを用いて、次の(式6)に従って上記第4のフェーズの処理を行う。すなわち、上記並べ替えられた2次元状のデータ配置において、横方向に対する $n_1$ 長のDFT処理を $n_1$ 回行う。

30 【0043】  
【数6】

◆は、上記第1の並べ替え手段1と同様に、メモリとアドレッシング装置により構成することが可能である。

40 【0045】  
【数7】

を以下に説明する。

【0047】本実施例のDFT処理における第1のフェーズと第5のフェーズの処理は、単なるデータの並べ替え処理(メモリアドレッシング処理)であるから、演算は行っていない。そこで、本実施例における総演算量は、第2～第4のフェーズにおける各処理の演算量を合

50 は、第2～第4のフェーズにおける各処理の演算量を合

計したものとなる。次に示す表1は、その演算量を示したものである。

【0048】

【表1】

	乗 算	加減算
第2のフェーズ ( $n_1$ 回の $n_2$ 長DFT)	$n_1 (4n_2^2)$	$n_1 (4n_2^2)$
第3のフェーズ (N回の回転)	$4n_1 n_2$	$2n_1 n_2$
第4のフェーズ ( $n_2$ 回の $n_1$ 長DFT)	$n_2 (4n_1^2)$	$n_2 (4n_1^2)$
合 計	$4n_1 n_2 (n_1 + n_2 + 1)$	$2n_1 n_2 (2n_1 + 2n_2 + 1)$

【0049】この表1から明らかなように、本実施例のDFT処理で行う乗算の回数は、 $4 n_1 n_2 (n_1 + n_2 + 1)$ 回であり、加減算を行う回数は、 $2 n_1 n_2 (2 n_1 + 2 n_2 + 1)$ 回である。一方、従来例のところでは述べたように、従来のDFT処理で行う乗算の回数は、 $4 N^2 = 4 n_1^2 n_2^2$ 回である。また、加減算を行う回数は、 $2 N^2 + 2 N (N - 1) = 4 n_1^2 n_2^2 - 2 n_1 n_2$ 回であり、 $2 n_1 n_2$ は殆ど無視できるほど小さいと考えてよいから、結局 $4 n_1^2 n_2^2$ 回である。

【0050】乗算を行う回数および加減算を行う回数をそれぞれ本実施例と従来とで比較してみれば分かるように、 $n_1$ と $n_2$ の値を共に3以上とすれば、本実施例のDFT処理における演算量を従来のDFT処理における演算量よりも確実に少なくすることができます。

【0051】次に、本実施例のDFT処理と従来のFFT処理とを比較してみると、従来のFFTは、本実施例のDFTの特別な例であると言える。すなわち、本実施例のDFTでは、実演算を第2～第4のフェーズの3段に分離して行っている。これに対し、従来のFFTは、第2のフェーズと第3のフェーズまたは第3のフェーズと第4のフェーズとを一まとめにして演算の流れを再配置し、バタフライ演算という形にまとめて行うものである。

【0052】このため、演算量の観点からすれば、本実施例のDFTと従来のFFTとで差ほど変わらないと言える。ところが、各フェーズの処理をバイブルイン化して並列に行う場合に必要な中間バッファメモリの容量という観点からすると、本実施例のDFTでは、従来のFFTよりも格段に小さいメモリ容量で済むというメリットがある。

【0053】すなわち、本実施例の場合、上記中間バッファメモリ4に必要なメモリ容量は $n_1 \times n_2$ ワード分である。さらに、第2のフェーズにおける $n_1$ 長DFT処理の周期 $n_1$ を更に細かく分離して横方向 $n_{11}$ 、縦方

向 $n_{12}$  ( $n_1 = n_{11} \times n_{12}$ )として処理することとすれば、その中間部に $n_{11} \times n_{12}$ ワード分のメモリが必要になる。また、第4のフェーズにおける $n_2$ 長DFT処理の周期 $n_2$ を更に細かく分離して横方向 $n_{21}$ 、縦方向 $n_{22}$  ( $n_2 = n_{21} \times n_{22}$ )として処理することとすれば、その中間部に $n_{21} \times n_{22}$ ワード分のメモリが必要になる。

【0054】以下同様にして、更に細かく周期を分離して縦方向のDFT処理と横方向のDFT処理とを行うようすれば、例えば $N = 2^{10}$ 点の周波数解析を行う場合、各中間バッファメモリで必要なメモリ容量は、図3(a)の各四角の中に示す数字のようになる。したがって、中間バッファメモリの全メモリ容量は、各中間バッファメモリのメモリ容量を合計して、66176ワード分となる。

【0055】もちろん、図3(a)に示したように周期が最も小さくなるまで細分化する必要は必ずしもなく、その場合に必要なメモリ容量は、上記66176ワードよりも小さくなる。

【0056】一方、従来のFFTでは、数段階のバタフライ演算によって周波数解析を実施しているが、上述したように各バタフライ演算の基数は小さい値しかとることができない。そこで、基数を2とした場合に各中間バッファメモリとして必要なメモリ容量を、図3(b)に示した。この図3(b)から、中間バッファメモリとして必要な全メモリ容量は、131102ワード分であることが分かる。

【0057】図3(a)と図3(b)とを比較すれば明らかのように、本実施例のDFT処理によれば、各フェーズの処理を並列化動作させる場合に必要な中間バッファメモリのメモリ容量を、従来のFFTで各バタフライ演算を並列化動作させる場合に必要なメモリ容量よりも小さくすることができます。

【0058】以上説明したように、本実施例のフーリエ変換装置によれば、一連のフーリエ変換処理にかかる演算量を少なくすることができ、しかも、各フェーズを並列化動作させた場合に使用する中間バッファメモリの全メモリ容量を小さくすることもできるようになる。

【0059】なお、以上の実施例では、第1の並べ替え手段1と第2の並べ替え手段6とを含めたものを1つのフーリエ変換装置として扱っているが、このようなデータの並べ替えを行う手段が外部に存在すれば、これらの手段はフーリエ変換装置内に必ずしも設ける必要はない。

【0060】以上のような本実施例のフーリエ変換装置を利用して、以下に述べる幾つかの応用例を実現することができる。

【0061】まず第1番目の例は、ある小さな周期のフーリエ変換装置を2個直列に設けるとともに、その間に小規模の回転演算装置を付加することにより、より大き

な周期のフーリエ変換装置を構成したものである。

【0062】例えば、図4に示すように、 $n_1$ 長DFT装置11と $n_2$ 長DFT装置14とを直列に設けるとともに、その間に回転演算装置12と $(n_1 \times n_2)$ ワード分の容量を持つ中間バッファメモリ13とを付加することにより、 $N = n_1 \times n_2$ 長の大きな周期のDFT装置を構成する。そして、 $n_1$ 長DFTと $n_2$ 長DFTとをバイブライン処理することにより、N点の周波数解析を実施する。

【0063】上述したように、大きな周期Nの周波数解析を1個のDFT装置で一度に行うのは演算負荷が非常に大きいのに対し、小さな周期 $n_1$ 、 $n_2$ の組み合わせで周波数解析を行うのは演算負荷が小さい。したがって、本装置によれば、全体としての処理速度を高速にすることができるというメリットがある。

【0064】第2番目の例は、第2のフェーズにおける $n_1$ 長DFT処理と第4のフェーズにおける $n_1$ 長DFT処理とがそれぞれ独立性が高いことを利用して、上記 $n_1$ 長DFT処理を行う装置と上記 $n_1$ 長DFT処理を行なう装置とをそれぞれ複数個ずつ設けて1つのフーリエ変換装置を構成したものである。

【0065】例えば、図5に示すように、 $m_1$ (ワード/秒)の演算能力を持つ $n_1$ 長DFT装置21a、21b、…、21cを1個設けて $n_1$ 長DFT装置群21を構成するとともに、 $m_2$ (ワード/秒)の演算能力を持つ $n_1$ 長DFT装置24a、24b、…、24cを1個設けて $n_1$ 長DFT装置群24を構成する。

【0066】そして、上記 $n_1$ 長DFT装置群21と上記 $n_1$ 長DFT装置群24との間に $m_3$ (ワード/秒)の演算能力を持つ回転演算装置22と $(n_1 \times n_2)$ ワード分の容量を持つ中間バッファメモリ23とを設けることにより、1つのフーリエ変換装置を構成する。

【0067】既に説明したように、第2のフェーズでは $n_1$ 長DFT処理を $n_1$ 回行う必要がある。そこで、 $n_1$ 長DFT装置群21を構成する $n_1$ 長DFT装置21a、21b、…、21cを $n_1$ 個、あるいは適当な数で割った個数だけ設けることにより、 $n_1$ 回の $n_1$ 長DFT処理を並列に行なうようにする。これにより、 $n_1$ 長DFT処理をより短時間で行なうことができる。

【0068】例えば、 $n_1 = 4$ の場合、先に示した図4の例のように、1個の $n_1$ 長DFT装置11で $n_1$ 回の $n_1$ 長DFT処理を行なうのでは4サイクルかかっていたのに対し、 $n_1$ 長DFT装置を2個設ければ2サイクルで行なうことができる。また、 $n_1$ 長DFT装置を4個設ければ、1サイクルで行なうことができる。

【0069】また、第4のフェーズについても同様に、 $n_1$ 長DFT装置群24を構成する $n_1$ 長DFT装置24a、24b、…、24cを $n_1$ 個、あるいは適当な数で割った個数だけ設けることにより、 $n_1$ 回の $n_1$ 長DFT処理を行なう際の演算サイクル数を少なくすることが

できる。これにより、より高速なフーリエ変換装置を得ることができる。

【0070】なお、上記 $n_1$ 長DFT装置群21の全体としての演算能力は $1_1 \times m_1$ (ワード/秒)であり、上記 $n_1$ 長DFT装置群24の全体としての演算能力は $1_2 \times m_2$ (ワード/秒)である。ここで、 $m_1 \leq 1_1 \times m_1$ あるいは $m_2 \leq 1_2 \times m_2$ が成立すると、上記 $n_1$ 長DFT装置群21および $n_1$ 長DFT装置群24は、 $m_3$ (ワード/秒)の演算能力に制限される。

10 【0071】第3番目の例は、ある小さな周期のフーリエ変換装置を複数個用い、それらを回転演算装置を介して積み重ねるようにして接続する(イメージとしては、図3(a)に示したツリー構造となるように接続する)ことにより、より大きな周期のフーリエ変換装置を構成したものである。

【0072】例えば、複数個の4点フーリエ変換装置を用いて、より大きな周期の4096点フーリエ変換装置を構成する場合について考える。この場合、図6に示すように、4096点フーリエ変換装置は、大きく分けて20 16点フーリエ変換装置31と、4096点回転演算装置32と、4096ワード分の容量を持つ4096点バッファメモリ33と、256点フーリエ変換装置34とにより構成される。

【0073】そして、上記16点フーリエ変換装置31は、2つの4点フーリエ変換装置31a、31dと、16点回転演算装置31bと、16ワード分の容量を持つ16点バッファメモリ31cとにより構成される。また、上記256点フーリエ変換装置34は、2つの16点フーリエ変換装置34a、34dと、256点回転演算装置34bと、256ワード分の容量を持つ256点バッファメモリ34cとにより構成される。

【0074】さらに、上記256点フーリエ変換装置34内にある一方の16点フーリエ変換装置34aは、上記16点フーリエ変換装置31と同様に、2つの4点フーリエ変換装置34a<sub>1</sub>、34a<sub>2</sub>と、16点回転演算装置34a<sub>3</sub>と、16ワード分の容量を持つ16点バッファメモリ34a<sub>4</sub>とにより構成される。

【0075】他方の16点フーリエ変換装置34dについても上記16点フーリエ変換装置31と同様に、2つの4点フーリエ変換装置34d<sub>1</sub>、34d<sub>2</sub>と、16点回転演算装置34d<sub>3</sub>と、16ワード分の容量を持つ16点バッファメモリ34d<sub>4</sub>とにより構成される。

【0076】このように、小さな周期の4点フーリエ変換装置を複数個用い、それらを回転演算装置を介してツリー構造となるように接続することにより、より大きな周期の4096点フーリエ変換装置を構成している。なお、本装置において用いられている各回転演算装置は、ツリーの枝を結ぶ乗算の役目を果たしている。

【0077】つまり、この図6に示した装置では、4096点の周波数解析を、縦16点×横256点に分割し

で行う。そして、縦16点の周波数解析を行う際には、更に縦4点×横4点に分割して行う。また、横256点の周波数解析を行う場合も同様にして、縦4点×横4点のフーリエ変換にまで細分化して行う。

【0078】4096点の周波数解析を1個の4096点フーリエ変換装置で一度に行うのは演算負荷が非常に大きいが、小さな周期の4点フーリエ変換装置の組み合わせで周波数解析を行うのは演算負荷が小さいことは上述した通りである。したがって、本装置によれば、全体としての演算負荷を小さくして処理速度を高速にすることができる。

【0079】また、本装置において用いている中間バッファメモリの総メモリ容量は、 $4096 + 16 + 256 + 16 + 16 = 4440$ ワードである。これに対して、従来のFFTにより4096点フーリエ変換装置を構成すると、各バタフライ演算の基底を4とした場合でも、バッファメモリの総メモリ容量は、 $4096 + 1024 + 256 + 64 + 16 + 4 \times 6 = 5480$ ワードである。

【0080】以上のことから明らかなように、図6の装置によれば、4096点のDFT処理にかかる演算量を少なくしてFFTと同程度にまで処理時間を短くすることができるだけでなく、演算の過程で使用する中間バッファメモリのメモリ容量を、FFTを行なう場合に比べて小さくすることもできている。

\*

$$S_k = W(k) \cdot S_{k'} \quad \text{----- (式8)}$$

$$\left( \begin{array}{l} W(k) = \frac{1}{2} (1 - \cos \frac{2\pi k}{N-1}) : \text{ハニング窓} \\ W(k) = (0.54 - 0.46 \cos \frac{2\pi k}{N-1}) : \text{ハミング窓} \end{array} \right)$$

【0085】ところで、この窓かけ演算は、精密ではないが、次の(式9)に示す回転演算とほとんど同じと考えることができる。したがって、係数をうまく与えれば、回転演算装置を用いて窓かけ演算を行うことが可能である。そこで、この第4番目の例では、回転演算装置を窓かけ演算にも流用できるようにしている。

【0086】

【数9】

$$S_k = \begin{pmatrix} \cos \theta & -\sin \theta \\ \sin \theta & \cos \theta \end{pmatrix} S_{k'} \quad \text{----- (式9)}$$

【0087】図7は、この第4番目の例を実現するための装置の構成を示す図である。図7に示したように、本装置は、窓かけ演算にも流用可能な窓かけ/回転演算装置41と、16点フーリエ変換装置42と、4096ワード分の容量を持つ4096点バッファメモリ43と、256ワード分の容量を持つ256点バッファメモリ44と、データ入力部45と、データ出力部46とにより構成されている。

【0088】上記回転演算装置41は、窓かけ演算を行

\* 【0081】第4番目の例は、図6に示した第3番目の例を応用した例である。すなわち、窓かけ演算にも流用できるようにした回転演算装置と16点フーリエ変換装置とを用いて1つのフーリエ変換装置を構成する。そして、これをタイムシェアリング(時分割)で用いることにより、より大きな周期(4096点)の周波数解析を行うことができるようとしたものである。

【0082】フーリエ変換は、数学上の話では本来は無限長の周期で行なうものである。しかし、これを実際に行なうのは現実問題として無理である。そこで、実際には、周期Nで一定区間を区切り、その端点をつなげることによって無限長とみなして周波数解析を行なっている。ところが、この場合に、端点に不連続点が存在すると、正常でない周波数成分、すなわち、周波数もれ成分が生じることがある。

【0083】上述した窓かけ演算は、この端点の不連続点をなくし、周波数もれ成分を少なくすることを目的として行われるものであり、次の(式8)に示す演算式によって行われる。なお、(式8)中の $S_k$ はフーリエ解析するデータ、 $w(k)$ は窓関数、 $S_{k'}$ は実サンプルデータを示している。

【0084】

【数8】

う際に適当な係数を与える手段を具備している。また、上記16点フーリエ変換装置42は、図6中に示した各16点フーリエ変換装置と同様に、2つの4点フーリエ変換装置42a、42dと、16点回転演算装置42bと、16点バッファメモリ42cとにより構成されている。

【0089】このように構成したフーリエ変換装置は、図6中に $\alpha$ 、 $\beta$ 、 $\gamma$ で示した部分(何れの部分も16点フーリエ変換装置と回転演算装置、あるいは16点フーリエ変換装置と窓かけ演算装置とを含んでいる)の処理を時分割で行なうことにより、4096点の周波数解析を実施する。

【0090】すなわち、図8に示すように、まず最初に、データ入力部45を介して入力されるデータを用いて、図6中の $\alpha$ の部分に相当する演算が行われる。このとき、窓かけ/回転演算装置41では、適当な係数が与えられることにより窓かけ演算が行われる。この $\alpha$ の部分の演算結果は、データ出力部46を介して4096点バッファメモリ43に順次格納される。

【0091】そして、この4096点バッファメモリ4

3にデータがたまると、次にそのデータがデータ入力部45を介して入力され、図6中のβに相当する演算が行われる。このβの部分の演算結果は、データ出力部46を介して256点バッファメモリ44に順次格納される。次に、この256点バッファメモリ44にデータがたまると、そのデータがデータ入力部45を介して入力され、図6中のγに相当する演算が行われる。

【0092】このように、図7の装置によれば、小さな周期のフーリエ変換の組み合わせによって大きな周期のフーリエ変換を行っているので、4096点のDFT処理にかかる演算量を少なくして処理時間を短くすることができる。さらに、図6の装置と異なり、同じ装置を時分割で何度も用いているので、図6の装置に比べて、4点フーリエ変換装置や中間バッファメモリの使用数を減らすことができ、装置全体の規模を小さくすることができます。

【0093】第5番目の例は、高速ページモードを持つメモリを用いて中間バッファメモリを構成し、その高速ページモードを持つメモリに中間バッファメモリを配置するときに、ストライプ状に配置するのではなく、縦横のブロック状に配置することにより、メモリアクセスタイムを短くできるようにしたものである。

【0094】一般に、高速ページモードを持つICメモリは、2次元マトリクス状に作製される。そして、その行(カラム)と列(ロウ)とで位置を指定することにより所望のデータを得るようになされている。この場合、DRAMに代表されるメモリでは、その機構上の特徴により、先にロウアドレスを指定し、次にカラムアドレスを指定するようになっている。

【0095】そして、高速ページモードでは、同じロウアドレスについてカラムアドレスを連続して指定する場合には、異なるロウアドレスについてカラムアドレスを指定する場合に比べて高速にアクセスすることができるようになっている。このような高速ページモードを持つメモリの一例として、日立製のメモリ(HM511000A-6)がある。

【0096】ところで、上述したように、本実施例のフーリエ変換装置では、第2のフェーズで縦方向に対するDFT処理を行い、第4のフェーズで横方向に対するDFT処理を行っている。このため、2次元状に作られた中間バッファメモリの縦方向と横方向に対してそれぞれデータの読み書きを行っている。

【0097】ここで、中間バッファメモリ4を横方向にストライプ状に配置した場合には、縦方向に対する高速ページモードが使えないで、横方向に対するメモリアクセスタイムは速いが、縦方向に対するメモリアクセスタイムが遅くなってしまう。一方、ブロック状に配置すれば、縦方向に対するデータの読み書き時に高速ページモードが使えるので、横方向に対するアクセスタイムも縦方向に対するアクセスタイムも共に速くすることができます。

10 きるようになる。

【0098】図9は、上記した日立製のメモリのアクセスタイムの様子を示すタイムチャートである。この図9の例では、同じロウアドレスについて2つのカラムアドレスを連続して指定した場合について示している。

【0099】すなわち、通常、1ワードのアクセスを行うのにかかる時間(サイクルタイム)は120nsec

であるのに対して、高速ページモードにおいて2ワード

のアクセスを行うのにかかる時間は155(=60+4

5+50)nsecである。つまり、1ワード当たりでは、77.5nsecと通常時よりもアクセス時間が短くなっていることが図9から読み取れる。

【0100】このような日立製のメモリを中間バッファメモリとして用いた場合の具体例を次に示す。なお、ここでは、中間バッファメモリの全メモリ容量は $2^{10}$ ワード(縦 $2^3$ ワード×横 $2^3$ ワード)であるとする。

【0101】まず、図10に示すように、中間バッファメモリを $2^3$ ワード分ずつ横方向にストライプ状に配置する場合について考える。この場合、第2のフェーズで求められたデータを中間バッファメモリに縦方向に書き込む際には、高速ページモードが使えないでの、縦方向に対して1ワード当たり120nsecの時間がかかる。

【0102】また、第4のフェーズにおいて上記中間バッファメモリからデータを読み出す際に、横方向に対して1ワード当たりにかかるアクセス時間は、 $(60 + 45 \times (2^3 - 1) + 50) / 2^3 = 45.13$ nsecである。よって、メモリアクセスに関するデータレートの上限は、 $120 + 45.13 = 165.13$ nsec/ワードとなる。

【0103】次に、図11に示すように、中間バッファメモリを $2^3$ ワード分ずつブロック状(縦 $2^1$ 個×横 $2^3$ 個)に配置する場合について考える。この場合、縦方向に対するメモリアクセス時に高速ページモードを使うことが可能であるので、第2のフェーズで求められたデータを中間バッファメモリに書き込む際にかかる時間は、縦方向に対して1ワード当たり $(60 + 45 \times 15 + 50) / 16 = 49.06$ nsecである。

【0104】また、第4のフェーズにおいて上記中間バッファメモリからデータを読み出す際に、横方向に対して1ワード当たりにかかるアクセス時間は、 $(60 + 45 \times 31 + 50) / 32 = 47.03$ nsecである。よって、メモリアクセスに関するデータレートの上限は、 $49.06 + 47.03 = 96.09$ nsec/ワードとなる。

【0105】以上の計算結果から明らかなように、中間バッファメモリをブロック状に配置することにより、ストライプ状に配置する場合に比べてメモリアクセス時間を短くすることができる。これにより、上述したようにフーリエ変換処理を行う際の演算量を減らすことができる。

るだけでなく、処理の過程で使用する中間バッファメモリへのアクセス時間を削減することもできるようになり、全体としての処理時間を更に短くすることができます。

【0106】第6番目の例は、第2のフェーズの処理と第4のフェーズの処理とを並列に動作させる場合に、中間バッファメモリにデータを読み書きする際のアドレスシング動作を工夫することにより、中間バッファメモリを1ページ分だけ用意すれば済むようにしたものである。

【0107】第4のフェーズの処理を行う際には、第2のフェーズで求められたデータを用いるため、第2のフェーズの処理が終わらなければ第4のフェーズの処理は行うことができない。したがって、第2のフェーズの処理と第4のフェーズの処理とを並列に動作させる場合は、通常は、図12に示すように、第2のフェーズ用と第4のフェーズ用との2ページ分の中間バッファメモリが必要になる。

【0108】すなわち、第2のフェーズと第4のフェーズとを並列動作させる場合には、図12(a)に示すように、第2のフェーズにおける縦方向のDFT処理で求められるデータを縦方向に順次記憶していくと同時に、図12(b)に示すように、既に求められたデータを第4のフェーズにおいて横方向に読み出して横方向のDFT処理を順次行っていく必要がある。

【0109】したがって、第2のフェーズで求められるデータを縦方向に順次記憶していくためのページと、第4のフェーズでデータを横方向に読み出して使用するためのページとの2ページが中間バッファメモリとして必要になる。しかし、このように中間バッファメモリを2ページも用意したのでは、メモリ容量が非常に大きくなってしまう。

【0110】そこで、この第6番目の例では、今までのように第2のフェーズで求められたデータは縦方向に書き込み、第4のフェーズの処理ではデータを横方向に読み出すというように一定としないで、図13に示すように、1回目に行う第2、第4のフェーズではデータを縦方向に読み書きする。2回目に行う第2、第4のフェーズではデータを横方向に読み書きするというように、アドレスシングの方向を縦と横で交互に切り換えていくようとする。

【0111】すなわち、図13(a)において、1回目に行う第4のフェーズの処理では、中間バッファメモリに既に記憶されているデータ(この第4のフェーズの処理よりも前に行われた0回目の第2のフェーズの処理で求められたデータ)が縦方向に順次読み出される。

【0112】そして、この第4のフェーズの処理と同時に行われている1回目の第2のフェーズの処理で求められたデータが、上記読み出しによって空になった縦方向の領域に順次書き込まれる。すると、最終的には、中間

バッファメモリの全ての領域に、1回目の第2のフェーズの処理で求められたデータが記憶される。

【0113】次に、図13(b)において、2回目に行う第4のフェーズの処理では、中間バッファメモリに記憶されているデータ(上記1回目の第2のフェーズの処理で求められたデータ)が横方向に順次読み出される。

【0114】そして、この第4のフェーズの処理と同時に行われている2回目の第2のフェーズの処理で求められたデータが、上記読み出しによって空になった横方向

10 の領域に順次書き込まれる。すると、最終的には、中間バッファメモリの全ての領域に、2回目の第2のフェーズの処理で求められたデータが記憶される。この後は、再び図13(a)に示す処理が行われる。

【0115】以上のように、アドレスシングの方向を交互に切り換えてデータの読み書きを行うようにすれば、データを読み出して空きになった領域を有効に活用して、1つの中間バッファメモリを第2のフェーズ用と第4のフェーズ用とで共用することができ、中間バッファメモリを1ページ分だけ用意すれば済むようになる。

20 【0116】第7番目の例は、図5に示した第2番目の例を応用した例である。図5に示したように複数のDFT装置を用いて処理を並列化させた場合には、中間バッファメモリ23へのアクセスが非常に多くなる。そこで、この第7番目の例は、上記中間バッファメモリ23を複数のメモリに分割して用意するとともに、クロスバスイッチなどのデータ振り分け装置を用いることにより、メモリアクセス時における並列動作性を高めることができるようにしたものである。

30 【0117】図14は、この第7番目の例を実現するための装置の構成を示す図である。なお、この図14に示す装置は、図5に示した装置を変形したものであり、図5中に示した周期n<sub>1</sub>、n<sub>2</sub>の値をそれぞれ4とし、n<sub>1</sub>長DFT処理を行う装置の数n<sub>1</sub>、n<sub>2</sub>長DFT処理を行う装置の数n<sub>2</sub>をそれぞれ4個とした場合について示したものである。

【0118】すなわち、本装置は、第2のフェーズの処理を行う4個の4点フーリエ変換装置51a、51b、51c、51dと、データ振り分け装置52と、並列動作可能な4個の中間バッファメモリ53a、53b、53c、53dと、第4のフェーズの処理を行う4個の4点フーリエ変換装置54a、54b、54c、54dにより構成される。なお、ここでは、説明の簡略化のため、回転演算装置は図示を省略している。

40 【0119】次に、上記のように構成した装置の動作を、図15に示す中間データの配置図を参照しながら説明する。本装置では、第2のフェーズで縦方向に4点フーリエ変換を行い、第4のフェーズで横方向に4点フーリエ変換を行うことにより、第1～第16ワード(図15に丸付の数字で示している)の16点周波数解析を実行する。

【0120】このとき、上述した第2のフェーズの処理を行う4個の4点フーリエ変換装置51a, 51b, 51c, 51dは、それぞれ図15の縦方向に対するデータを用いてフーリエ変換を同時に行う。これにより、第1サイクルでは、第1、第2、第3、第4ワードについてフーリエ変換されたデータが同時に得られる。

【0121】このようにして同時に得られた4個のデータは、データ振り分け装置52により4個の中間バッファメモリ53a, 53b, 53c, 53dに1ワードずつ振り分けられて記憶される。ここで、各ワードのデータが記憶される中間バッファメモリ53a, 53b, 53c, 53dの種類を、それぞれA～Dの符号を付して示した。

【0122】通常、4個のデータを1個の中間バッファメモリに書き込むためには、4サイクル必要であるが、本実施例では、4個のデータを4個の中間バッファメモリ53a, 53b, 53c, 53dに振り分けて書き込むようにしているので、1サイクルで書き込みを行うことができる。

【0123】また、第2サイクル～第4サイクルの各サイクルで同時にフーリエ変換されたデータについても同様に、データ振り分け装置52により4個の中間バッファメモリ53a, 53b, 53c, 53dに1ワードずつ振り分けられて記憶される。このとき、同じフーリエ変換装置で変換されたデータが同じ中間バッファメモリ内に記憶されないように振り分けが行われる。

【0124】以上のような書き込み動作により、4個の中間バッファメモリ53a, 53b, 53c, 53dには、図15に示すような関係で各ワードのデータが記憶されることになる。すなわち、第1の中間バッファメモリ53aには、第1、第6、第11、第16ワードのデータが記憶され、第2の中間バッファメモリ53bには、第5、第10、第15、第4ワードのデータが記憶される。

【0125】また、第3の中間バッファメモリ53cには、第9、第14、第3、第8ワードのデータが記憶され、第4の中間バッファメモリ53dには、第13、第2、第7、第12ワードのデータが記憶される。

【0126】次に、第4のフェーズの処理を行う際には、上述した第4のフェーズの処理を行う4個の4点フーリエ変換装置54a, 54b, 54c, 54dは、それぞれ図15の横方向に対するデータを用いてフーリエ変換を同時に行う。すなわち、第1サイクルでは、上記4個の4点フーリエ変換装置54a, 54b, 54c, 54dは、それぞれ第1、第5、第9、第13ワードのデータを読み出してフーリエ変換を同時に行う。

【0127】この場合、図15から明らかなように、各4点フーリエ変換装置54a, 54b, 54c, 54dで同時に使用する4個のデータは、上記4個の中間バッファメモリ53a, 53b, 53c, 53dに1ワード

ずつ分散して記憶されている。したがって、1個の中間バッファメモリに上記4個のデータが全て記憶されていたとしたなら読み出しに4サイクルかかるところを、本実施例では、1サイクルで読み出すことができる。

【0128】以上説明したように、図14に示した第7番目の例の装置によれば、複数のフーリエ変換装置を用いてFFT処理を並列化動作させた場合に、中間バッファメモリへのアクセスも効率よく並列化させることができ、装置全体の並列動作性を向上させることができる。

10 なお、参考のために、上述したデータの読み書きの手順を、図16に示しておく。

### 【0129】

【発明の効果】本発明は上述したように、請求項1～3に記載の発明によれば、周期N( $=n_1 \times n_2$ )の時間成分の信号の周波数解析を、上記周期Nよりも小さな周期である横方向に対する周期 $n_1$ のフーリエ変換と縦方向に対する周期 $n_2$ のフーリエ変換との組み合わせによって行うようにしたので、周期Nの信号を周期Nのフーリエ変換によって一度に周波数変換するようになされた従来のFFTに比べて演算量を少なくすることができるようになり、これにより、フーリエ変換の処理速度を高速にすることができる。

【0130】請求項4に記載の発明によれば、 $n_1$ 長フーリエ変換手段を複数個設け、 $n_1$ 回の $n_1$ 長フーリエ変換処理を上記複数個の $n_1$ 長フーリエ変換手段を用いて並列に行うようにしたので、複数の $n_1$ 長フーリエ変換処理を同時に実行することができるようになる。

【0131】請求項5に記載の発明によれば、 $n_1$ 長フーリエ変換手段を複数個設け、 $n_1$ 回の $n_1$ 長フーリエ変換処理を上記複数個の $n_1$ 長フーリエ変換手段を用いて並列に行うようにしたので、複数の $n_1$ 長フーリエ変換処理を同時に実行することができるようになる。したがって、それぞれのフーリエ変換処理を1回ずつ順番に行う場合に比べて処理時間を短くすることができるようになる。

【0132】請求項6に記載の発明によれば、小さな周期のフーリエ変換装置を複数個用いてそれらを回転演算装置を介してツリー構造となるように接続することによってより大きな周期のフーリエ変換装置を構成したので、請求項1～3に記載の発明と同様に、大きな周期のフーリエ変換を一度に行う場合の演算量に比べて演算量を格段に少なくすることができ、処理を高速化することができる。しかも、上記小さな周期として任意の周期を選択することが可能であるので、各フーリエ変換の結果を一時記憶しておくための中間バッファメモリの数を従来のFFTにおけるバタフライ演算を並列化動作させる場合に比べて少なくすることができるとともに、個々の中間バッファメモリの容量を小さくすることができるようになり、全体としての中間バッファメモリの容量を格段に小さくすることができる。

【0133】請求項7に記載の発明によれば、与える係数を変えることにより窓かけ演算および回転演算の何れかを行う窓かけ回転演算装置と、この窓かけ回転演算装置の出力結果に対してフーリエ変換を行う小さな周期のフーリエ変換装置とを設け、このフーリエ変換装置の出力結果を上記窓かけ回転演算装置に供給して上記窓かけ回転演算装置および上記フーリエ変換装置による処理を時分割で繰り返して行うようにしたので、請求項1～3に記載の発明と同様に、小さな周期のフーリエ変換の組み合わせによってより大きな周期のフーリエ変換を実施することができるようになり、大きな周期のフーリエ変換を一度に行う場合の演算量に比べて演算量を格段に少なくすることができます。しかも、請求項6に記載の発明に比べて少ない数のフーリエ変換装置と回転演算装置とによってフーリエ変換を行うことができるので、装置の規模が大きくならないようにすることができます。

【0134】請求項8に記載の発明によれば、高速ページモードを持つメモリ上において所定ワード分の中間バッファメモリを縦横のブロック状に順次配置するようにして中間バッファメモリを構成したので、ブロック状に配置された中間バッファメモリの縦方向に対してデータの読み書きを行うときには高速ページモードを使って高速に読み書きをすることが可能となり、縦方向に対しても横方向に対してもメモリアクセスを高速に行うことができるようになる。したがって、演算量の削減によってフーリエ変換の処理速度を速くすることができるだけでなく、メモリアクセス時間の削減によっても処理速度を速くすることができ、より高速にフーリエ変換を行うことができるようになる。

【0135】請求項9に記載の発明によれば、 $n_1$ 長フーリエ変換手段によりフーリエ変換されたデータを中間バッファメモリに書き込む際、および $n_2$ 長フーリエ変換手段において中間バッファメモリに記憶されたデータを読み出す際に、データの読み書きの方向を縦と横とで交互に変換するようにし、 $n_1$ 長フーリエ変換手段で使用するためにデータが読み出されることによって順次空きにされた領域に、 $n_1$ 長フーリエ変換手段でフーリエ変換されたデータを順次記憶していくようにしたので、データの読み出しによって空にされた領域を有効に使って、1つの中間バッファメモリを $n_1$ 長フーリエ変換用と $n_2$ 長フーリエ変換用とで共用することができ、1ページ分の中間バッファメモリを用意するだけで $n_1$ 長フーリエ変換処理と $n_2$ 長フーリエ変換処理とを並列に動作させることができようになる。

【0136】請求項10に記載の発明によれば、複数個の $n_1$ 長フーリエ変換手段および複数個の $n_2$ 長フーリエ変換手段と同じ数だけ中間バッファメモリを設けるとともに、複数個の $n_1$ 長フーリエ変換手段により同時に求められる複数個のデータを上記複数個の中間バッファメモリに1個ずつ振り分けて記憶するように構成したの

で、複数のフーリエ変換手段により同時に求められた複数のデータを複数のバッファメモリに同時に記憶するようにすることができる。したがって、 $n_1$ 長フーリエ変換手段と $n_2$ 長フーリエ変換手段とをそれぞれ複数個ずつ設けて各処理を並列に行うようにしたにもかかわらずメモリアクセスを並列に行うことができないという不都合をなくすことができ、処理の並列動作性を高めることができます。

【0137】請求項11に記載の発明によれば、上記データの振り分けの際に、同じ $n_1$ 長フーリエ変換手段により求められたデータが同じ中間バッファメモリ内に記憶されることがないようにして順次得られるデータを振り分けるようにしたので、複数の $n_1$ 長フーリエ変換手段で同時に使用するデータを複数のバッファメモリに1個ずつ分散して記憶するようにすることができ、それらのデータの読み出しを同時に行うことができるようになる。したがって、処理の並列動作性を更に高めることができます。

#### 【図面の簡単な説明】

【図1】本発明の一実施例であるフーリエ変換装置の構成を示すブロック図である。

【図2】図1のフーリエ変換装置によって行われる第1～第5のフェーズの処理内容を説明するための図である。

【図3】本実施例のフーリエ変換装置をツリー構造にした場合に必要な中間バッファメモリの容量を、FFTの各バタフライ演算を並列化動作させた場合に必要な中間バッファメモリの容量と比較するための図である。

【図4】第1番目の応用例による装置の構成を示す図である。

【図5】第2番目の応用例による装置の構成を示す図である。

【図6】第3番目の応用例による装置の構成を示す図である。

【図7】第4番目の応用例による装置の構成を示す図である。

【図8】図7に示した装置によって行われる時分割処理の様子を説明するための図である。

【図9】第5番目の応用例で使用される高速ページモードを持つ中間バッファメモリのアクセスタイムの様子を示すタイムチャートである。

【図10】中間バッファメモリをストライプ状に配置した様子を示す図である。

【図11】中間バッファメモリをブロック状に配置した様子を示す図である。

【図12】2ページ分の中間バッファメモリを用いてデータの読み書きを行う様子を説明するための図である。

【図13】第6番目の応用例によるデータの読み書きの様子を説明するための図であり、1ページ分の中間バッファメモリを用いてデータの読み書きを行う様子を説明

するための図である。

【図14】第7番目の応用例による装置の構成を示す図である。

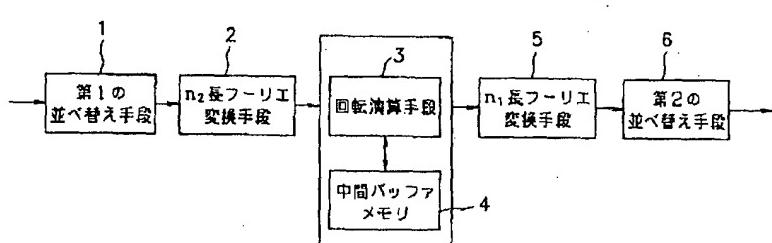
【図15】複数の中間バッファメモリとそれに記憶されるデータとの関係を説明するための図である。

【図16】第7番目の応用例によるデータの読み書きの手順を示す図である。

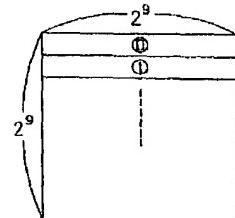
## ＊【符号の説明】

- 1 第1の並べ替え手段
- 2  $n_2$  長フーリエ変換手段
- 3 回転演算手段
- 4 中間バッファメモリ
- 5  $n_1$  長フーリエ変換手段
- 6 第2の並べ替え手段

【図1】



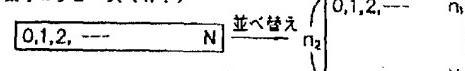
【図10】



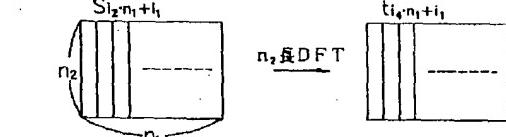
【図2】

$$(0) [0, 1, 2, \dots, N] \xrightarrow{DFT} [0, 1, 2, \dots, N]$$

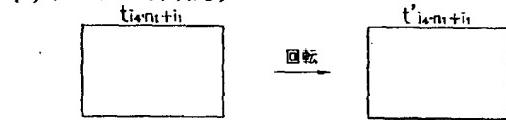
(a) 第1のフェーズ (#1)



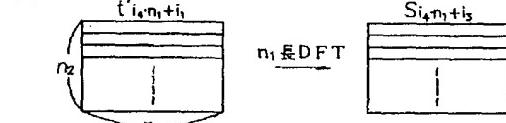
(b) 第2のフェーズ (#2)



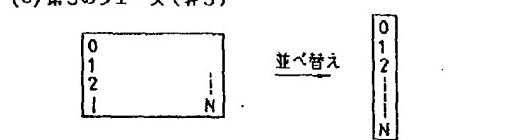
(c) 第3のフェーズ (#3)



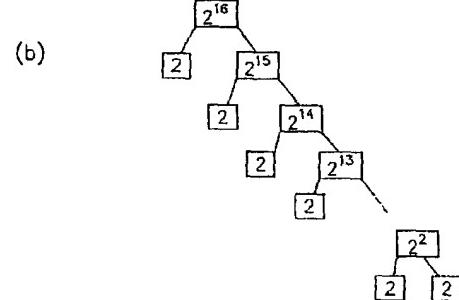
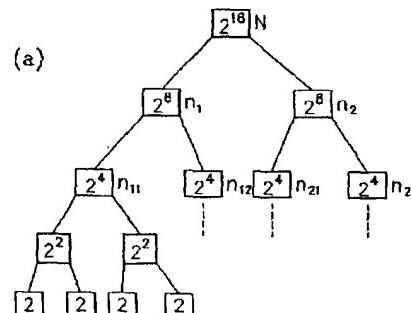
(d) 第4のフェーズ (#4)



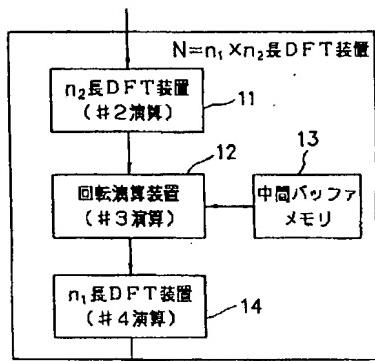
(e) 第5のフェーズ (#5)



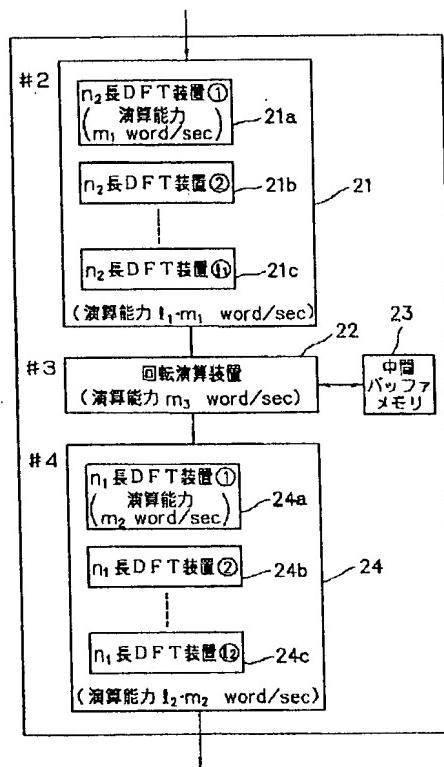
【図3】



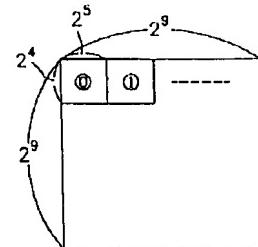
【図4】



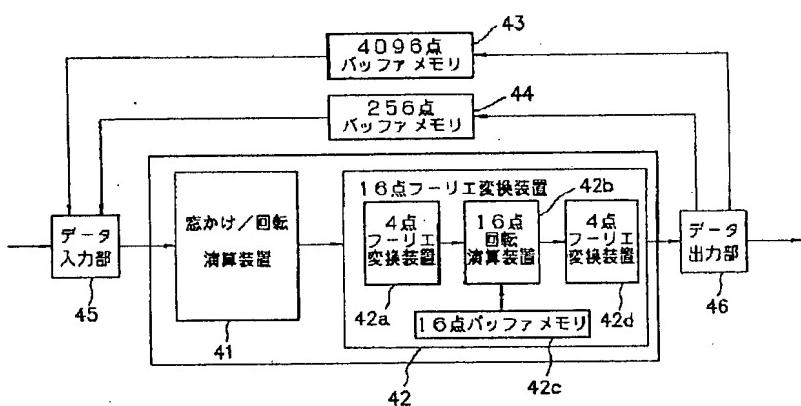
【図5】



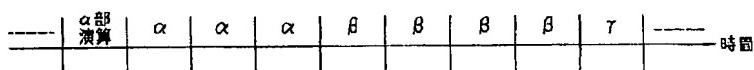
【図11】



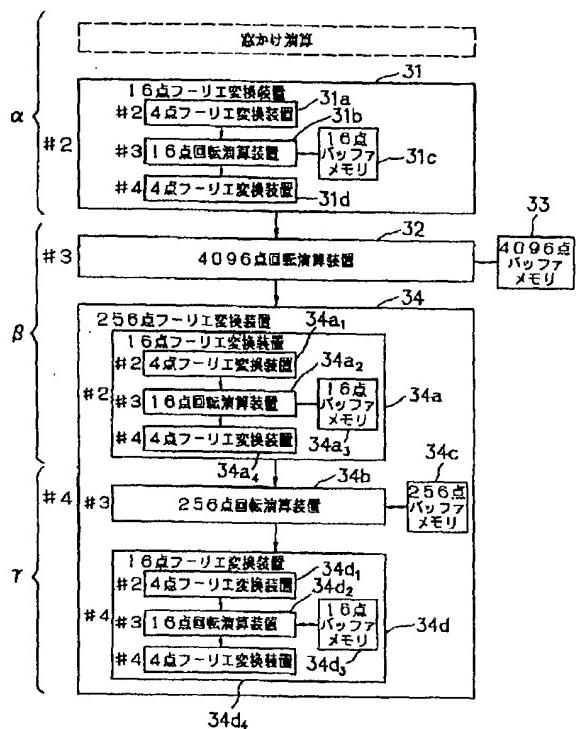
【図7】



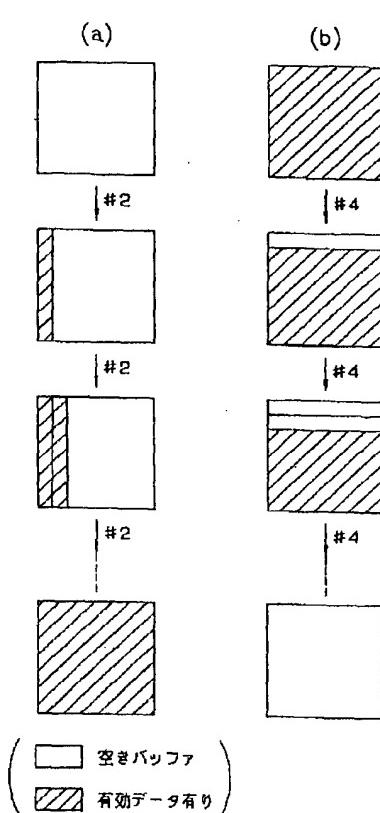
【図8】



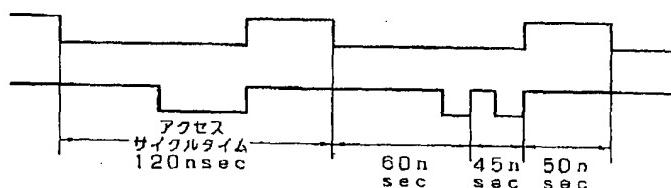
【図6】



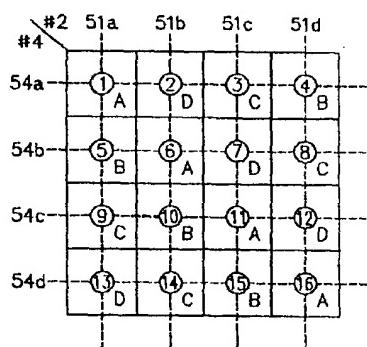
【図9】



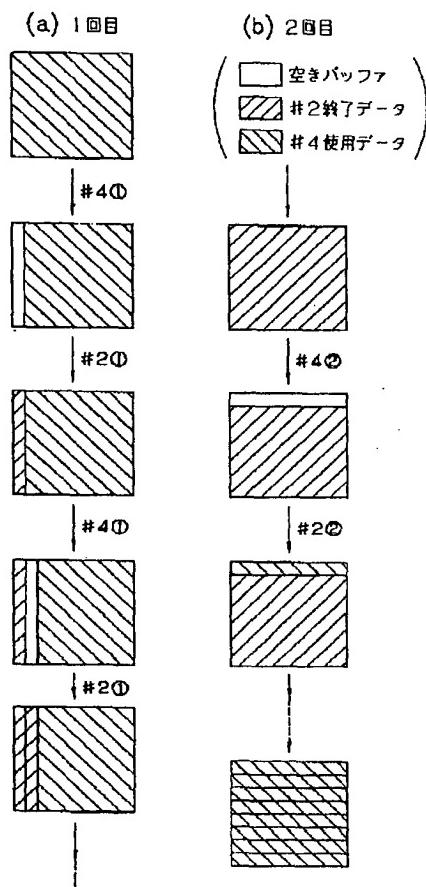
( )  
 ( ) 空きバッファ  
 ( ) 有効データ有り



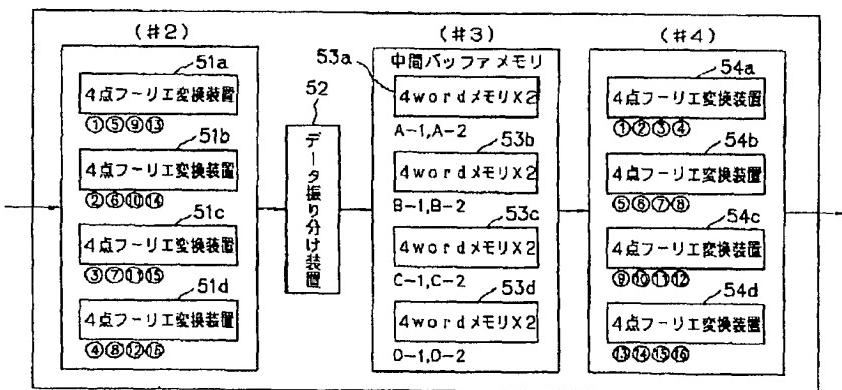
【図15】



〔図13〕



【図14】



【図16】

	第1サイクル	第2サイクル	第3サイクル	第4サイクル	第5サイクル	第6サイクル	第7サイクル	第8サイクル
データ書き込み	51a ① L <sub>A-1</sub>	⑤ L <sub>B-1</sub>	⑨ L <sub>C-1</sub>	⑬ L <sub>D-1</sub>	① L <sub>A-2</sub>	⑤ L <sub>B-2</sub>	⑨ L <sub>C-2</sub>	⑬ L <sub>D-2</sub>
	51b ② L <sub>D-1</sub>	⑥ L <sub>A-1</sub>	⑩ L <sub>B-1</sub>	⑭ L <sub>C-1</sub>	② L <sub>D-2</sub>	⑥ L <sub>A-2</sub>	⑩ L <sub>B-2</sub>	⑭ L <sub>C-2</sub>
	51c ③ L <sub>C-1</sub>	⑦ L <sub>D-1</sub>	⑪ L <sub>A-1</sub>	⑮ L <sub>B-1</sub>	③ L <sub>C-2</sub>	⑦ L <sub>D-2</sub>	⑪ L <sub>A-2</sub>	⑮ L <sub>B-2</sub>
	51d ④ L <sub>B-1</sub>	⑧ L <sub>C-1</sub>	⑫ L <sub>D-1</sub>	⑯ L <sub>A-1</sub>	④ L <sub>B-2</sub>	⑧ L <sub>C-2</sub>	⑫ L <sub>D-2</sub>	⑯ L <sub>A-2</sub>
データ読み込み	54a A-2 L①	B-2 L②	C-2 L③	B-2 L④	A-1 L①	D-1 L②	C-1 L③	B-1 L④
	54b B-2 L⑤	A-2 L⑥	D-2 L⑦	C-2 L⑧	B-1 L⑤	A-1 L⑥	D-1 L⑦	C-1 L⑧
	54c C-2 L⑨	B-2 L⑩	A-2 L⑪	D-2 L⑫	C-1 L⑨	B-1 L⑩	A-1 L⑪	D-1 L⑫
	54d D-2 L⑬	C-2 L⑭	B-2 L⑮	A-2 L⑯	D-1 L⑬	C-1 L⑭	B-1 L⑮	A-1 L⑯